

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189951

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H01L 29/78

(21)Application number : 08-348676

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 26.12.1996

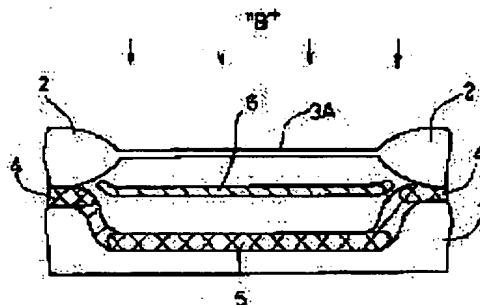
(72)Inventor : OKABE YUUSHIROU

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To attain a high threshold voltage with low ion implantation, without causing degradation of isolation characteristic.

SOLUTION: Boron ions ( $11B^+$ ) are implanted under conditions for penetrating an LOCOS oxide 2 deposited on a P-type silicon substrate 1, in order to form a channel stopper layer 4 beneath the LOCOS oxide 2 of the same time as with a first channel ion implantation layer 5 in a deep region within the substrate 1. Subsequently, boron ions ( $11B^+$ ) are implanted from above the substrate 1 under conditions of not penetrating the LOCOS oxide 2, in order to form a second channel ion implantation layer 6 beneath a region for forming a diffusion layer in the substrate which is shallower than the first channel ion implantation layer 5.



## LEGAL STATUS

[Date of request for examination] 22.02.2001

[Date of sending the examiner's decision of rejection] 03.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平10-189951

(43) 公開日 平成10年(1998) 7月21日

(51) Int. Cl.<sup>6</sup>  
H01L 29/78

識別記号

FI  
H01L 29/78

301X

審査請求 未請求 請求項の数 2 OL (全 7 頁)

(21) 出願番号 特願平9-348576

(71) 出願人 000001889  
三洋電機株式会社

(22) 出願日 平成8年(1996)12月26日

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 岡部 裕志郎

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

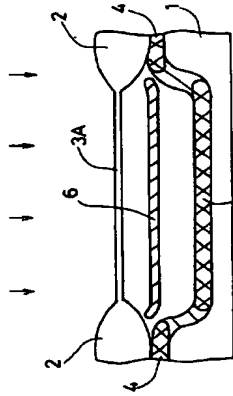
(74) 代理人 井理士 安富 新二 (外1名)

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 素子分離特性を劣化させることなしに、少ないイオン注入量で高いしきい値電圧を得ることを可能にする。

【解決手段】 P型シリコン基板1上に形成したLOCOS酸化膜2を貫通する注入条件でボロンイオン(11B<sup>+</sup>)を注入して、該LOCOS酸化膜2下にチャネルストップ層4を形成すると共に、前記基板1内の深い領域に第1のチャネルイオン注入層5を同時に形成する。次に、前記基板1上方から前記LOCOS酸化膜2を貫通しない注入条件でボロンイオン(11B<sup>+</sup>)を注入して、前記第1のチャネルイオン注入層5よりも基板の深い領域である拡散層形成領域近傍に第2のチャネルイオン注入層6を形成するものである。



6: 第2のチャネルイオン注入層

## 【特許請求の範囲】

【請求項1】 一導電型のシリコン基板上に形成したLOCOS酸化膜を貫通する注入条件で一導電型の不純物イオンをイオン注入し、当該LOCOS酸化膜下にチャネルストップ層を形成すると共にゲート電極下の基板表面より深い領域にチャネルイオン注入層を同時に形成する半導体装置の製造方法において、前記LOCOS酸化膜を貫通しない注入条件で一導電型の不純物イオンをイオン注入して前記チャネルイオン注入層よりも基板の深い領域に補充用のチャネルイオン注入層を形成することを特徴とする半導体装置の製造方法。

【請求項2】 一導電型のシリコン基板上にLOCOS酸化膜を形成する工程と、

前記LOCOS酸化膜を除く基板上にダミー酸化膜を形成する工程と、

前記シリコン基板上方から前記LOCOS酸化膜を貫通する注入条件で一導電型の不純物を注入して該LOCOS酸化膜下にチャネルストップ層を形成すると共に前記基板内の深い領域に第1のチャネルイオン注入層を同時に形成する工程と、

前記シリコン基板上方から前記LOCOS酸化膜を貫通しない注入条件で一導電型の不純物を注入して拡散層形成領域近傍に第2のチャネルイオン注入層を形成する工程と、

前記ダミー酸化膜を除去した後前記LOCOS酸化膜を除く基板上にゲート酸化膜を形成する工程と、

前記ゲート酸化膜上にゲート電極を形成する工程と、前記ゲート電極の両端にソース・ドレイン拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、更に述べると半導体基板上に形成したLOCOS (Local Oxidation of Silicon) 酸化膜を貫通する注入条件でイオン注入を行い、当該LOCOS酸化膜下にチャネルストップ層を形成すると共に、ゲート電極下の基板表面より深い領域にチャネルイオン注入層を同時に形成するものにおいて、素子分離層を低下させることなしに、少ないイオン注入量で高いしきい値電圧を得ることを可能にすると共に、ゲート電極上の酸化膜を薄くしてセルの周辺との段差低減を可能とする技術に関する。

【0002】

【従来の技術】 比種の半導体装置の製造方法において、第1の課題を有する半導体装置の製造方法について図9乃至図13を基に説明する。図9に示す51は一導電型の半導体基板、例えばP型シリコン基板で、該基板51上の所望領域をフィールド酸化することでおおよそ450

0Åの厚みのLOCOS (Local Oxidation of Silicon) 酸化膜52を形成し、該LOCOS酸化膜52以外の領域におおよそ400Åの厚みのダミー酸化膜53Aを形成する。

【0003】 次に、全面にボロンイオン(11B<sup>+</sup>)を前記LOCOS酸化膜52下に突き抜け可能な注入条件、例えば、加速電圧140KeV、注入量6.0E12/cm<sup>2</sup> (尚、6.0E12は6.0掛ける10の12乗の意である。以下、同様である。) で注入して、図10に示すように該LOCOS酸化膜52下にチャネルストップ層54を形成すると共に、ダミー酸化膜53A下の半導体基板51内の深い領域に前記チャネルストップ層54に連なるチャネルイオン注入層55を形成する。

【0004】 続いて、前記ダミー酸化膜53Aを除去した後、前記LOCOS酸化膜52以外の領域におおよそ120Åの厚みのゲート酸化膜3を形成する。次に、基板全面にゲート電極形成用のポリシリコン膜及び酸化膜を積層形成し、不図示のレジスト膜を介してエッチングして図11に示すようにゲート電極56を形成した後、該ゲート電極56とその上部に積層された酸化膜57をマスクにして例えば、ボロンイオン(11B<sup>+</sup>)を加えて加速電圧40KeV、注入量7.0E12/cm<sup>2</sup>で注入して、パンチスルー対策用のイオン注入層58を後述するN型ソース・ドレイン拡散層形成領域下に形成する。

【0005】 次に、図12に示すように例えばリンイオン(31P<sup>+</sup>)を加速電圧30KeV、注入量2.8E13/cm<sup>2</sup>の注入条件で注入して、低濃度のN<sup>-</sup>型ソース・ドレイン拡散層59、60を形成する。次に、図13に示すように前記ゲート電極56の側壁部に前記酸化膜57と一体に形成されるサイドウォール酸化膜61を形成し、前記ゲート電極56及びサイドウォール酸化膜61をマスクにして例えば、ヒ素イオン(75As<sup>+</sup>)を加えて加速電圧30KeV、注入量5.0E13/cm<sup>2</sup>の注入条件で注入して高濃度のN<sup>+</sup>型ソース・ドレイン拡散層62、63を形成することで、Nチャネル型MOSトランジスタを形成していた。

【0006】 また、第2の課題を有する半導体装置の製造方法について図11及び図14を基に説明する。従来、パンチスルー対策用のイオン注入工程は、図11及び図14に示すように半導体基板51上にゲート電極56を形成した後、該ゲート電極56上に形成した酸化膜57によりゲート電極56を突き抜けないようにボロンイオン(11B<sup>+</sup>)をイオン注入して、パンチスルー対策用のイオン注入層58を形成していた。

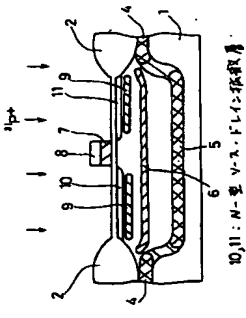
【0007】

【発明が解決しようとする課題】 先ず、第1の課題を有する半導体装置の製造方法において、しきい値調整用のイオン注入工程をチャネルストップ層54形成用のイオン注入工程で兼用することで、製造工程の削減を図っていた。しかしながら、近年の微細化の要求に対応しよう

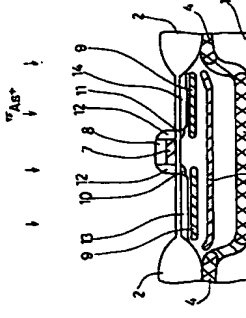


(6)

【図5】



【図6】

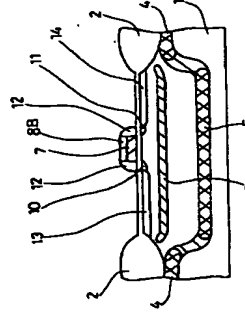


12: イリジウム酸化膜  
13, 14: N<sup>+</sup>型シリコン保護層

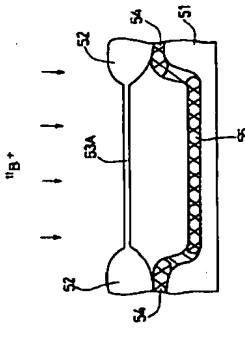
【図7】

	VR (V)	Is <sub>1</sub> /d (mA)	Is <sub>2</sub> /d (mA)	EOS (V)	Leak (pA)	$\sigma$
従来の半導体装置	0.68	0.11	317	5.23	12.79	0.018
本発明の半導体装置	0.64	0.15	337	9.93	14.59	0.018

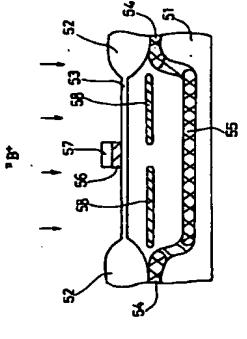
【図8】



【図10】



【図11】

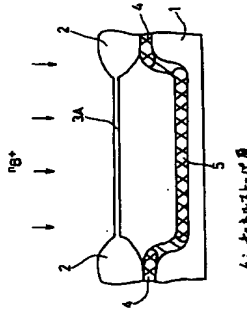


特開平10-189951

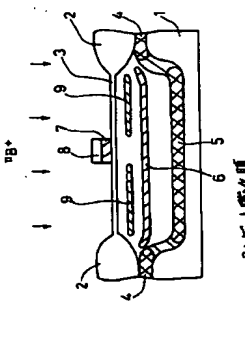
(5)

【図9】従来の半導体装置の製造方法を示す第1の断面図である。  
【図10】従来の半導体装置の製造方法を示す第2の断面図である。  
【図11】従来の半導体装置の製造方法を示す第3の断面図である。  
【図12】従来の半導体装置の製造方法を示す第4の断面図である。  
【図13】従来の半導体装置の製造方法を示す第5の断面図である。  
【図14】従来の第2の課題を説明するための半導体装置の製造方法を示す断面図である。

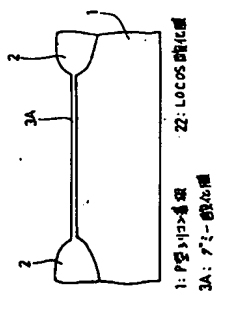
【図2】



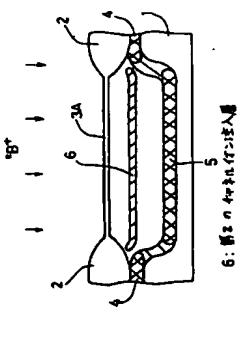
【図4】



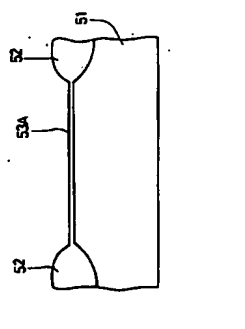
【図1】



【図3】



【図9】



【图13】

